

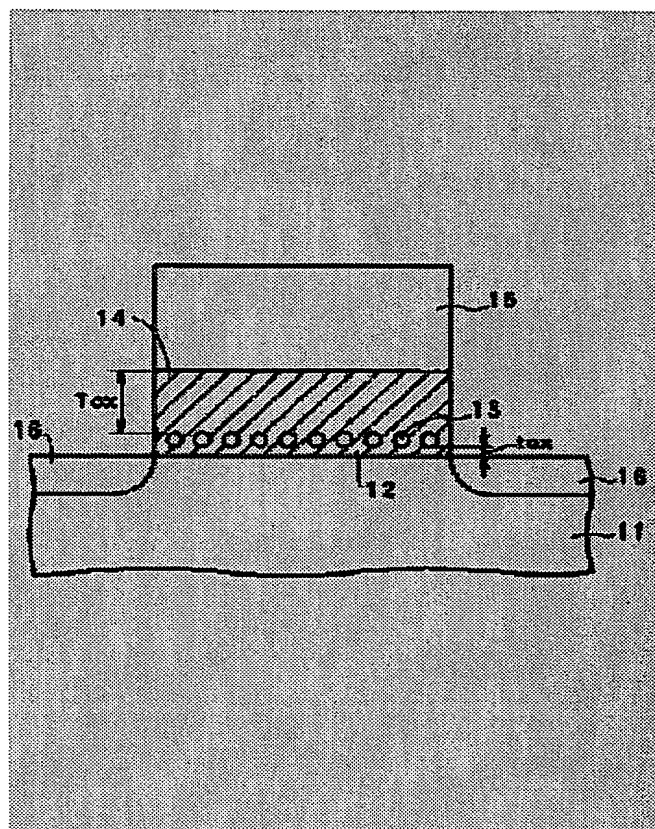
SEMICONDUCTOR DEVICE

Patent number: JP2000022005
Publication date: 2000-01-21
Inventor: OBA RYUJI
Applicant: TOSHIBA CORP
Classification:
- **International:** H01L21/8247; H01L29/788; H01L29/792; H01L27/115
- **European:**
Application number: JP19980181122 19980626
Priority number(s):

Abstract of JP2000022005

PROBLEM TO BE SOLVED: To make feasible of adjusting the write voltage by suppressing the leakage current from a nano-crystal floating gate to a channel.

SOLUTION: In a semiconductor device provided with a semiconductor substrate, a gate electrode as well as a gate insulating film containing the semiconductor fine grains capable of accumulating the charge generated between the semiconductor substrate and the floating gate electrode, the semiconductor fine grains contained in said gate insulating film functioning as the floating gate electrode are to be the semiconductor fine grains containing n type or p type impurities also the grain size thereof to be 5 or 10 nano meter scale.



Data supplied from the esp@cenet database - Patent Abstracts of Japan

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-22005

(P2000-22005A)

(43)公開日 平成12年1月21日(2000.1.21)

(51)Int.Cl. ⁷	識別記号	F I	テーマコード [*] (参考)
H 0 1 L	21/8247	H 0 1 L	3 7 1
	29/788	29/78	5 F 0 0 1
	29/792	27/10	4 3 4
	27/115		5 F 0 8 3

審査請求 有 請求項の数4 O L (全 8 頁)

(21)出願番号 特願平10-181122

(22)出願日 平成10年6月26日(1998.6.26)

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 大 場 竜 二

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

(74)代理人 100064285

弁理士 佐藤 一雄 (外3名)

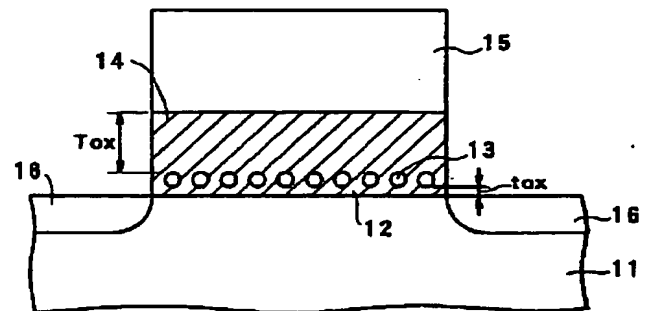
最終頁に続く

(54)【発明の名称】 半導体装置

(57)【要約】

【課題】 ナノクリスタル浮遊ゲートからチャネルへのリーク電流を抑制し、書き込み電圧の調節を可能とする。

【解決手段】 半導体基板と、ゲート電極と、前記半導体基板と浮遊ゲート電極との間に設けられ電荷を蓄積できる半導体微粒子が含まれるゲート絶縁膜とを備える半導体装置において、浮遊ゲート電極として機能する前記ゲート絶縁膜に含まれる前記半導体微粒子がn型またはp型の不純物を含む半導体微粒子であると共にその粒径を5ないし10ナノメートルのスケールとした。



(2)

【特許請求の範囲】

【請求項1】半導体基板と、ゲート電極と、前記半導体基板と浮遊ゲート電極との間に設けられ電荷を蓄積できる半導体微粒子が含まれるゲート絶縁膜とを備える半導体装置において、浮遊ゲート電極として機能する前記ゲート絶縁膜に含まれる前記半導体微粒子がn型またはp型の半導体微粒子であると共にその粒径がナノメートル単位のものであることを特徴とする半導体装置。

【請求項2】前記n型またはp型の半導体微粒子は、その粒径が5ないし10ナノメートルであることを特徴とする請求項1に記載の半導体装置。

【請求項3】前記半導体基板の表面に選択的に形成されたソース・ドレイン領域と、ソース・ドレイン領域間に形成されたチャネル領域と、を備え、前記ゲート絶縁膜は、前記半導体基板の前記チャネル領域の表面に形成されたトンネル酸化膜と、前記トンネル酸化膜上に不純物をドーピングさせながら多結晶シリコンを蒸着・アニールすることにより形成されたn型またはp型の前記半導体微粒子層と、この半導体微粒子層と前記ゲート電極との間に蒸着された制御酸化膜と、により前記浮遊ゲート電極を構成することを特徴とする請求項1に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置に関するもので、特に浮遊ゲート型不揮発性メモリ装置として用いられる半導体装置に関するものである。

【0002】

【従来の技術】従来より半導体基板表面のチャネル形成面とゲート電極との間に設けられるゲート絶縁膜に粒径がナノメートルスケールの結晶微粒子の層を形成して、浮遊ゲート電極として機能させるナノクリスタル浮遊ゲートを有する半導体装置が提案されている（参考文献-S. Tiwari and P. Rana et al. ISDM Dig., p521 /1995-参照）。このような従来の半導体装置が図5に示されている。

【0003】図5を参照して従来の半導体装置の一例としてのナノクリスタル浮遊ゲート型不揮発性メモリ装置の構造を説明する。p型シリコン基板1中にソース/ドレイン領域6があり、基板表面には厚さ $t_{ox}=1.5$ nm程度のトンネル酸化膜2を介して粒径5 nm程度の不純物が含まれていない固有の（Intrinsic）シリコン

$$V_w = V_{th} + q / 2 C + (1 + T_{ox} / t_{ox}) \Delta V_1 \quad (1)$$

となる。ここで、

$$C \sim \epsilon_{ox} \pi r^2 / [T_{ox} + 1 / 2 (\epsilon_{ox} / \epsilon_{si}) r]$$

（ただし、 ϵ_{ox} 、 ϵ_{si} は酸化膜及びシリコンの誘電率）

はドット＝ゲート間容量であり、 $\Delta V_1 \sim h^2 / 2 q m$

＊ r^2 は基底状態エネルギーを素電荷 q で割ったものである。したがって、酸化膜の膜厚やSi微粒子層の厚さが変わることにより、しきい値 V_{th} も変化することを考慮

＊（Si）微粒子3がチャネル全体に均一に積層されており、さらにその上に厚さ $T_{ox}=7$ nm程度の制御酸化膜4を介してn+ポリシリコンから成るゲート電極5が設けられている。

【0004】上記構成を有する半導体メモリ装置において、情報の書き込みはゲート電圧をプラスにかけることにより、チャネルにできる反転層のキャリア電子をトンネル酸化膜2を透しての直接トンネルによりSi微粒子3に注入、捕捉させることにより行なっており、また、情報の読み出しは、捕捉情報電荷によるゲート電極から反転層への電界の遮蔽によるドレイン電流の減少を観察することにより行なっている。その際、情報電荷蓄積部であるSi微粒子におけるクーロンブロッケイド効果により、情報電荷は素電荷 q を単位に量子化されるため1素子で多値化が可能である。

【0005】例えばSi微粒子の面密度を 1×10^{12} cm^{-2} であるとして、微粒子一個に一電子ずつ捕捉されていれば、MOSFET（Metal Oxide Semiconductor-Field Effect Transistor）の閾値は0.36 V変化し、二個ずつ捕捉されていればMOSFETの閾値は0.72 V変化する。ドレイン電流変化は、サブ・スレッショルド領域ならば5桁以上の違いとなって現れるので、十分感知できるものである。情報の消去は書き込みと逆にゲート電圧をマイナスにかけること、捕捉電子をトンネル酸化膜2を透してSi微粒子3からチャネルへトンネルさせることで行なう。

【0006】図5に示した従来の半導体装置は、確かにナノクリスタル浮遊ゲートを備えてはいるが、この浮遊ゲートを構成するナノクリスタル微粒子は不純物が含まれていない固有の（Intrinsicな）半導体微粒子である。このような従来のナノクリスタル浮遊ゲート型メモリ装置においては、チャネルと浮遊ゲート間の酸化膜が非常に薄いので、浮遊ゲートにおいて充電、捕捉された電子がチャネル側へリークし易いという問題がある。

【0007】Si微粒子への電子の書き込みは、反転層電子のエネルギーよりも静電エネルギーと書き込み単位エネルギーの和の方が小さくなった時に行なわれるが、図5に示した従来のナノクリスタルメモリでは、本来的なシリコン

（Intrinsic Si）微粒子により形成されるため、一個目の電子の書き込み電圧 V_w は、反転層が形成されるしきい値 V_{th} に、静電エネルギーと書き込み順位である0次元束縛の基底状態エネルギーを加えた値、

$$V_w = V_{th} + q / 2 C + (1 + T_{ox} / t_{ox}) \Delta V_1 \quad (1)$$

すれば、しきい値 V_{th} を変えないで書き込み電圧 V_w を調節することは非常に難しい。

【0008】

【発明が解決しようとする課題】上述したように、従来の半導体装置によれば、浮遊ゲートからチャネルへのリーク電流の制御が難しいばかりでなく、しきい値を変えずに書き込み電圧を調整することも難しいという問題があ

(3)

った。

【0009】本発明は、浮遊ゲートからチャネルへのリーク電流の抑制や、書き込み電圧の調節が可能な半導体装置を提供することを目的としている。

【0010】

【課題を解決するための手段】上記目的を達成するため、請求項1に係る半導体装置は、半導体基板と、ゲート電極と、前記半導体基板と浮遊ゲート電極との間に設けられ電荷を蓄積できる半導体微粒子が含まれるゲート絶縁膜とを備える半導体装置において、浮遊ゲート電極として機能する前記ゲート絶縁膜に含まれる前記半導体微粒子がn型またはp型の半導体微粒子であると共にその粒径がナノメートル単位のものであることを特徴としているまた、請求項2に係る半導体装置は、請求項1に記載のものにおいて、n型またはp型の半導体微粒子の粒径が5ないし10ナノメートルであることを特徴としている。

【0011】また、請求項3に係る半導体装置は、請求項1に記載のものにおいて、半導体基板の表面に選択的に形成されたソース・ドレイン領域と、ソース・ドレイン領域間に形成されたチャネル領域と、を備え、前記ゲート絶縁膜は、前記半導体基板の前記チャネル領域の表面に形成されたトンネル酸化膜と、前記トンネル酸化膜上に不純物をドーピングさせながら多結晶シリコンを蒸着・アニールすることにより形成されたn型またはp型の前記半導体微粒子層と、この半導体微粒子層と前記ゲート電極との間に蒸着された制御酸化膜と、により前記浮遊ゲート電極を構成することを特徴としている。

【0012】以上のような本発明に係る半導体装置を浮遊ゲート部にSi微結晶を有するナノクリスタル浮遊ゲート型MOSメモリに適用すると、Si微結晶がp型またはn型のシリコンで構成されているために、それぞれ異なる作用を有する。まず、Si微粒子がn型の場合には書き込み単位がSi微粒子のコンダクションバンド内の基底状態より高いエネルギー単位になることにより書き込み電圧値が大きくなる方向への調節が可能になる。また、Si微結晶がp型の場合には書き込み単位がSi微粒子のヴァレンスバンド内になるため書き込み電圧値の小さくなる方向への調節が可能になり、また微粒子からチャネルに戻る際のエネルギー障壁が高くなるためリーク電流の改善が可能になる。したがって、上記それぞれの作用を行なわせるため、半導体微粒子を構成するシリコンの型を任意に選択することにより所望の作用・効果を得ることができ

る。

【0013】

【発明の実施の形態】以下、本発明に係る半導体装置の好適な実施の形態について、添付図面を参照しながら詳細に説明する。まず、図1の断面図を参照しながら本発明の第1実施形態に係る半導体装置について説明する。この第1実施形態の半導体装置は、単一MOSFET型

不揮発性記憶装置に適用した場合を例にして説明する。

【0014】図1において、第1実施形態に係る不揮発性半導体記憶装置は、p型シリコン(Si)基板11と、このSi基板11上に厚さ $t_{ox}=2\text{nm}$ で形成された熱酸化膜12と、この熱酸化膜12上に粒径 $r=5\text{nm}$ のn型のシリコン微粒子により形成されたSi微結晶13と、このSi微結晶13上に形成された酸化膜14と、ゲート電極となるポリシリコン層15と、より構成されている。したがってこの第1実施形態に係る半導体装置は、半導体微粒子がn型シリコンにより構成されているタイプのものである。

【0015】上記Si微結晶13は、例えばLPCVD (Low Pressure Chemical Vapour Deposition) 装置によりSi中でドナーとなるリンをドーピングしながら不純物濃度 $1 \times 10^{21}\text{cm}^{-3}$ のアモルファスシリコンを1nmだけ蒸着(CVD)し、酸素を含む雰囲気中にさらすことなく 800°C で1分間アニールすることにより形成されている。このSi微結晶13の上に化学的気相法(CVD)による厚さ $T_{ox}=10\text{nm}$ の酸化膜14とゲート電極となる厚さ 200nm のn+ポリシリコン層を形成した後、ゲート電極15のパターンを形成し、電極15をマスクとしてリンをドーピング量 $1 \times 10^{15}\text{cm}^{-2}$ 入射エネルギー 15KeV で注入し、 1000°C で20秒のアニールにより、n+拡散層16を形成することによって、浮遊ゲート部にn型のSi微粒子を有する第1実施形態に係るナノクリスタル浮遊ゲート型MOSメモリ装置が形成できる(図1)。上記n+層16は、ソース・ドレイン領域として用いられることになる。

【0016】次に、図2の断面図を参照しながら本発明の第2実施形態に係る半導体装置としての単一MOSFET型不揮発性半導体記憶装置について説明する。この第2実施形態に係る半導体装置は半導体微粒子がp型シリコンにより構成されているタイプのものである。また、半導体装置の基板は、第1実施形態と同様にp型シリコンにより構成されている。

【0017】図2において、第2実施形態に係る不揮発性半導体記憶装置は、p型シリコン(Si)基板21と、このSi基板21上に厚さ $t_{ox}=2\text{nm}$ で形成された熱酸化膜22と、この熱酸化膜22上に粒径 $r=5\text{nm}$ のp型のシリコン微粒子により形成されたSi微結晶23と、このSi微結晶23上に形成された酸化膜24と、ゲート電極となるポリシリコン層25と、より構成されている。熱酸化膜22はトンネル酸化膜として機能している。

【0018】上記第2実施形態に係る半導体装置においては、まず、p型Si基板21上に厚さ $t_{ox}=2\text{nm}$ の熱酸化膜22を形成し、その上にLPCVD装置によりボロン(B)を注入(ドーピング)しながら不純物濃度 $1 \times 10^{21}\text{cm}^{-3}$ のアモルファスシリコンを1nmほどCVDし、酸素を含む雰囲気中にさらすことなく 800°C で1

(4)

分間アニールすることにより、粒径 $r=5\text{ nm}$ のp型のSi微結晶23を形成している。

【0019】次に、上記Si微結晶23の上にCVDによる厚さ $T_{ox}=10\text{ nm}$ の酸化膜24とゲート電極となる厚さ 200 nm のn+ポリシリコン層を形成した後、ゲート電極25のパターンを形成し、電極25をマスクとして用いてリン(P)をドーズ量が「 $1 \times 10^{15}\text{ cm}^{-2}$ 」で入射エネルギーが 15 KeV で注入し、 1000°C で20秒のアニールによりソース・ドレイン領域として使用されるn+層26を形成することによって、浮遊ゲート部にp型のSi微粒子を有する新しい第2実施形態の半導体装置としてのナノクリスタル浮遊ゲート型MOSメモリ装置が形成できる(図2)。

【0020】上記第1および第2実施形態においては、何れもシリコン微粒子をアモルファスシリコンの薄膜にアニールを加えた方法により形成しているが、ポリシリコンCVDの初期に形成される微結晶アイランドを利用する等の他の方法を用いて形成しても構わない。上記第1および第2実施形態においては、n型、p型の不純物*

$$V_w(n) = V_{th} + q/2C + (1 + T_{ox}/t_{ox}) \Delta V_{n+1} \quad (2)$$

となる。したがって、固有の(Intrinsic)時との差は、

$$V_w(n) - V_w = (1 + T_{ox}/t_{ox}) (\Delta V_{n+1} - \Delta V_1) > 0$$

となるため、書込み電圧を大きくなる方向に調節できる。 $(\Delta V_{n+1} - \Delta V_1)$ の大きさは、0次元井戸の束縛状態エネルギーを「 h^2/qm^*r^2 」のオーダーで、※

$$V_w(n, N) = V_{th} + (N-1/2) q/2C + (1 + T_{ox}/t_{ox}) \Delta V_{n+N} \quad (3)$$

となる。このように、1個目の電子のみならず任意の順番である一般のN個目の書込みも調整が可能となる。

【0022】図2に示した本発明の第2実施形態に係る半導体装置は、電荷蓄積部として機能するp型Si微粒子23を有している。このSi微粒子は粒径 5 nm でなおかつ不純物アクセプタの濃度は「 $1 \times 10^{21}\text{ cm}^{-3}$ 」であるため、1ドット当たり平均 $n=15$ 個のアクセプターが含まれていることになる。したがって、この場合★

$$V_w(-n) = V_{th}$$

となる。したがって、不純物が入っていない固有の(Intrinsic)時との差は

$$V_w(-n) - V_w = -q/2C - (1 + T_{ox}/t_{ox}) \Delta V_0 < 0$$

となるため、書込み電圧を小さくなる方向に調節できる。微粒子がn型の不純物が含まれる場合と違うことは、反転層の形成と同時に複数の電子が充電され得ることである。すなわち、ヴァレンスバンド内に空き準位があるn個目迄の電子の書込み電圧は、n個の電子の充電エネルギーがバンドギャップエネルギーよりも小さい限り、全て V_{th} となる。このようなn電子の充電エネルギーがバンドギャップエネルギーよりも小さい場合は、一般的

*導入にドーピングCVDを用いているが、固相拡散、低加速インプラでもn型またはp型の不純物を導入することができる。また、トンネル酸化膜12または22を熱酸化により形成された SiO_2 としているが、化学的気相法(CVD)により形成された SiO_2 や他の形成方法により形成された絶縁膜でも良い。

【0021】図1に示した本発明の第1実施形態に示したように、電荷蓄積部にn型のSi微粒子13を有している。このSi微粒子は粒径 5 nm でなおかつ不純物ドナー濃度は $1 \times 10^{21}\text{ cm}^{-3}$ であるため、1ドット当たり平均 $n=15$ 個のドナーが含まれていることになる。よってこの場合、第3図に示すようにSi微粒子のコンダクションバンド中の基底状態からエネルギーの低い順に $n=15$ 番目の順位までが占有された状態であるため、一個目の電子の書込順位エネルギーは基底状態エネルギーから $n+1$ 番目に高い固有エネルギーになる。よって一個目の電子の書込み電圧は、 ΔV_{n+1} を $n+1$ 番目の固有エネルギーを素電荷 q で割ったものとして上記式(1)と同様に、

※粒径 $r=5\text{ nm}$ では典型的に 0.1 V 程度である。 $T_{ox}/t_{ox}=5$ だと 0.5 V 程度の書込電圧の調節が可能になり、Si微粒子のドナー濃度を変えることで微調整が可能となる。一般的には、1ドットに n 個($n=0, 1, 2, 3, \dots$)のドナーが含まれる場合、 N 個目($N=0, 1, 2, 3, \dots$)の電子の書込み電圧は

★は図4に示すように、Si微粒子のヴァレンスバンド中の最高エネルギー状態からエネルギーの高い順に $n=15$ 番目の準位までが空いた状態になるため、1個目の電子の書込み準位エネルギーはヴァレンスバンド中の最高エネルギーから n 番目に低い固有エネルギーになる。この場合の書込み準位は、コンダクションバンドよりもバンドギャップエネルギーを隔てたずっと低い位置にあるため、1個目の電子の書込電圧はしきい値そのものになり、

(4)

に1ドットに n 個($n=1, 2, 3, \dots$)のアクセプターが含まれる場合の N 個目($N=1, 2, 3, \dots$)の電子の書込み電圧は

$$V_w(-n, N) = V_{th} \quad (N \leq n: \text{書込順位はヴァレンスバンド内})$$

$$V_{th} + (N-1/2) q/2C + (1 + T_{ox}/t_{ox}) \Delta V_{N-n}$$

($N \geq n+1$: 書込順位はコンダクションバンド内)

となる。このように1個目への書込みのみならず一般にN個目の書込みに対しても調整が可能となる。n電子の充電エネルギーがバンドギャップエネルギーよりも大きい場合には、これを表わす式はもう少し複雑になるが、調節

(5)

7

可能なのは同様である。また、微粒子がp型の場合には、Siドットからチャネルに戻る時のエネルギー障壁が、不純物の入っていない固有の(Intrinsic)場合よりも高くなるので、リーク電流による情報の喪失の抑制が可能である。

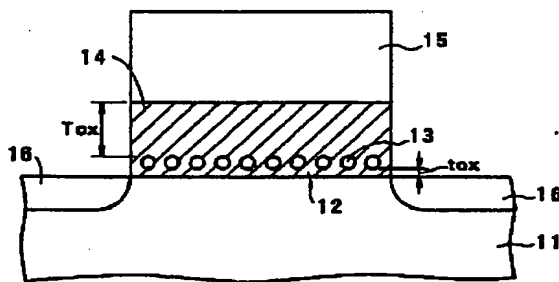
【0023】上記第1および第2実施形態に係る半導体装置においては、浮遊ゲート電極は複数のSi微粒子群から構成されるものとしているが、単一ドットのメモリ構造でも効果は全く同等である。

【0024】

【発明の効果】以上のように、本発明に係る半導体装置によれば、浮遊ゲートからチャネルへ漏洩するリーク電流を抑制することができるばかりでなく、書き込み電圧の調節が可能なり、さらにp型の半導体微粒子のものを記憶装置として用いた場合には情報の保持時間(リテンション)を相対的に長くすることも可能となる。

【図面の簡単な説明】

【図1】



8

【図1】本発明の第1実施形態に係る半導体装置を示す断面図。

【図2】本発明の第2実施形態に係る半導体装置を示す断面図。

【図3】本発明の第1実施形態に係る半導体装置の書き込み電圧を説明するバンド図。

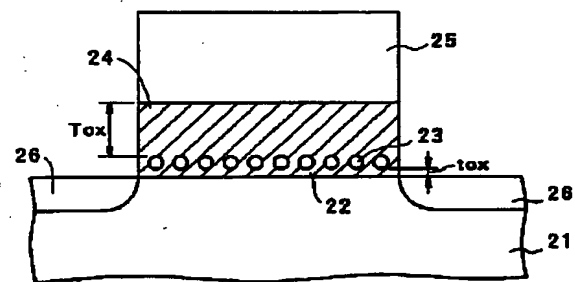
【図4】本発明の第2実施形態に係る半導体装置の書き込み電圧を説明するバンド図。

【図5】従来の半導体装置を示す断面図。

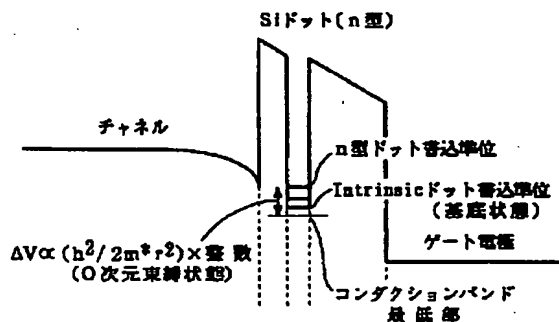
【符号の説明】

- 1, 11, 21 p型Si基板
- 2, 12, 22 トンネル酸化膜
- 13 n型シリコンナノ微粒子
- 23 p型シリコンナノ微粒子
- 4, 14, 24 制御酸化膜
- 5, 15, 25 n+ポリシリコンゲート電極
- 6, 16, 26 ソース・ドレインn+拡散層

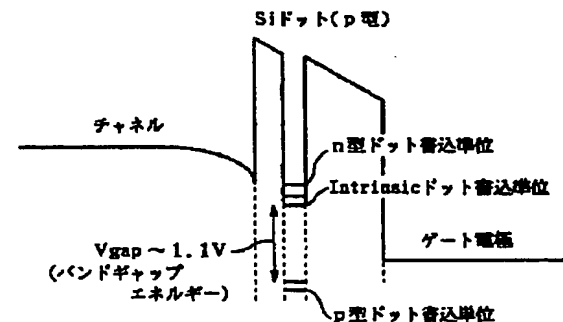
【図2】



【図3】

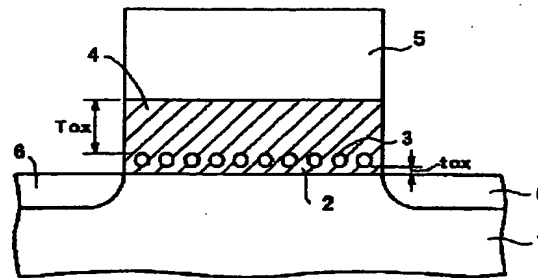


【図4】



(6)

【図5】



【手続補正書】

【提出日】平成11年4月27日(1999.4.27)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】半導体基板と、ゲート電極と、前記半導体基板およびゲート電極との間に設けられると共に電荷を蓄積できる半導体粒子を浮遊ゲート電極として含むゲート絶縁膜と、を備える半導体装置において、前記半導体粒子の粒径がナノメートル単位であること、および、前記半導体粒子にn型の不純物を注入することによって前記半導体粒子のエネルギー準位が基底準位よりも高くなることを特徴とする半導体装置。

【請求項2】半導体基板と、ゲート電極と、前記半導体基板およびゲート電極との間に設けられると共に電荷を蓄積できる半導体粒子を浮遊ゲート電極として含むゲート絶縁膜と、を備える半導体装置において、前記半導体粒子の粒径がナノメートル単位であること、および、前記半導体粒子にp型の不純物を注入することによって前記半導体粒子のエネルギー準位が基底準位よりも低くなることを特徴とする半導体装置。

【請求項3】前記n型またはp型の半導体微粒子は、その粒径が5ないし10ナノメートルであることを特徴とする請求項1または請求項2に記載の半導体装置。

【請求項4】前記半導体基板の表面に選択的に形成されたソース・ドレイン領域と、ソース・ドレイン領域間に形成されたチャネル領域と、を備え、前記ゲート絶縁膜は、前記半導体基板の前記チャネル領域の表面に形成されたトンネル酸化膜と、前記トンネル酸化膜上に不純物をドーピングさせながら多結晶シリコンを蒸着・アニールすることにより形成されたn型又はp型の前記半導体微粒子層と、この半導体微粒子層と前記ゲート電極との間に蒸着された制御酸化膜と、により前記浮遊ゲート電

極を構成することを特徴とする請求項1または請求項2に記載の半導体装置。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0010

【補正方法】変更

【補正内容】

【0010】

【課題を解決するための手段】上記目的を達成するため、請求項1に係る半導体装置は、半導体基板と、ゲート電極と、前記半導体基板およびゲート電極との間に設けられると共に電荷を蓄積できる半導体粒子を浮遊ゲート電極として含むゲート絶縁膜と、を備える半導体装置において、前記半導体粒子の粒径がナノメートル単位であること、および前記半導体粒子にn型の不純物を注入することによって前記半導体粒子のエネルギー準位が基底準位よりも高くなることを特徴としている。また、請求項2に係る半導体装置は、半導体基板と、ゲート電極と、前記半導体基板およびゲート電極との間に設けられると共に電荷を蓄積できる半導体粒子を浮遊ゲート電極として含むゲート絶縁膜と、を備える半導体装置において、前記半導体粒子の粒径がナノメートル単位であること、および前記半導体粒子にp型の不純物を注入することによって前記半導体粒子のエネルギー準位が基底準位よりも低くなることを特徴としている。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0011

【補正方法】変更

【補正内容】

【0011】また、請求項3に係る半導体装置は、請求項1または請求項2に記載のものにおいて、前記n型またはp型の半導体微粒子は、その粒径が5ないし10ナノメートルであることを特徴としている。また、請求項4に係る半導体装置は、請求項1または請求項2に記載のものにおいて、前記半導体基板の表面に選択的に形成さ

(7)

れたソース・ドレイン領域と、ソース・ドレイン領域間に形成されたチャネル領域と、を備え、前記ゲート絶縁膜は、前記半導体基板の前記チャネル領域の表面に形成されたトンネル酸化膜と、前記トンネル酸化膜上に不純物をドーピングさせながら多結晶シリコンを蒸着・アニールすることにより形成されたn型又はp型の前記半導体微粒子層と、この半導体微粒子層と前記ゲート電極との間に蒸着された制御酸化膜と、により前記浮遊ゲート電極を構成することを特徴としている。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0014

【補正方法】変更

【補正内容】

【0014】図1において、第1実施形態に係る不揮発性半導体記憶装置は、p型シリコン(Si)基板11と、このSi基板11上に厚さ $t_{ox}=2\text{ nm}$ で形成された熱酸化膜12と、この熱酸化膜12上に粒径が直径5 nmのn型のシリコン微粒子により形成されたSi微結晶13と、このSi微結晶13上に形成された酸化膜14と、ゲート電極となるポリシリコン層15と、より構成されている。したがってこの第1実施形態に係る半導体装置は、半導体微粒子がn型シリコンにより構成されているタイプのものである。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0017

【補正方法】変更

【補正内容】

【0017】図2において、第2実施形態に係る不揮発性半導体記憶装置は、p型シリコン(Si)基板21と、このSi基板21上に厚さ $t_{ox}=2\text{ nm}$ で形成された熱酸化膜22と、この熱酸化膜22上に粒径が直径5 nmのp型のシリコン微粒子により形成されたSi微結晶23と、このSi微結晶23上に形成された酸化膜2

$$V_w(n) = V_{th} + q/2C + (1 + T_{ox}/t_{ox}) \Delta V_{1+1} \quad (2)$$

となる。したがって、固有の(Intrinsic)時との差は、

$$V_w(n) - V_w = (1 + T_{ox}/t_{ox}) (\Delta V_{n+1} - \Delta V_1) > 0$$

となるため、書込み電圧を大きくなる方向に調節できる。 $(\Delta V_{n+1} - \Delta V_1)$ の大きさは、0次元井戸の束縛状態エネルギーを「 h^2/qm^*r^2 」のオ

$$V_w(n, N) = V_{th} + (N-1/2) q/2C + (1 + T_{ox}/t_{ox}) \Delta V_{n+N} \quad (3)$$

となる。このように、1個目の電子のみならず任意の順

4と、ゲート電極となるポリシリコン層25と、より構成されている。熱酸化膜22はトンネル酸化膜として機能している。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0018

【補正方法】変更

【補正内容】

【0018】上記第2実施形態に係る半導体装置においては、まず、p型Si基板21上に厚さ $t_{ox}=2\text{ nm}$ の熱酸化膜22を形成し、その上にLPCVD装置によりボロン(B)を注入(ドーブ)しながら不純物濃度 $1 \times 10^{21} \text{ cm}^{-3}$ のアモルファスシリコンを1 nmほどCVDし、酸素を含む雰囲気にならずことなく800℃で1分間アニールすることにより、粒径が直径5 nmのp型のSi微結晶23を形成している。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0021

【補正方法】変更

【補正内容】

【0021】図1に示した本発明の第1実施形態に示したように、電荷蓄積部にn型のSi微粒子13を有している。このSi微粒子は粒径5 nmでなおかつ不純物ドナー濃度は $1 \times 10^{21} \text{ cm}^{-3}$ であるため、1ドット当たり平均 $n=15$ 個のドナーが含まれていることになる。よってこの場合、第3図に示すようにSi微粒子のコンダクションバンド中の基底状態からエネルギーの低い順に $n=15$ 番目の順位までが占有された状態であるため、一個目の電子の書込準位エネルギーは基底状態エネルギーから $n+1$ 番目に高い固有エネルギーになる。よって一個目の電子の書込み電圧は、 ΔV_{n+1} を $n+1$ 番目の固有エネルギーを素電荷 q で割ったものとして上記式(1)と同様に、

一ダーで、粒径が直径5 nmでは典型的に0.1 V程度である。 $T_{ox}/t_{ox}=5$ だと0.5 V程度の書込電圧の調節が可能になり、Si微粒子のドナー濃度を変えることで微調整が可能となる。一般的には、1ドットに n 個($n=0, 1, 2, 3, \dots$)のドナーが含まれる場合、 N 個目($N=0, 1, 2, 3, \dots$)の電子の書込み電圧は

番である一般の N 個目の書込みも調整が可能となる。

(8)

フロントページの続き

Fターム(参考) 5F001 AA10 AA19 AA34 AB08 AC02
AC06 AD12 AE02 AE03 AE08
AF06 AF20 AG02 AG12 AG21
AG24 AG30
5F083 EP09 EP23 EP42 ER03 ER09
ER14 ER19 ER22 GA21 JA02
JA32 PR21 PR33 PR36